

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193214

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H01L 29/41

C23C 18/52

C23C 28/02

C25D 3/48

H01L 29/80

(21)Application number : 05-330822

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.12.1993

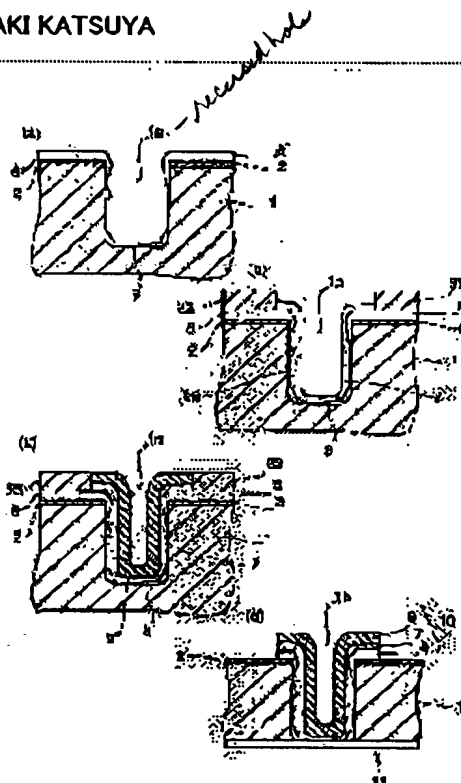
(72)Inventor : OZAKI KATSUYA

## (54) VIA-HOLE AND ITS FORMATION

### (57)Abstract:

**PURPOSE:** To provide a via-hole wherein a thick low-resistance metal layer is attached with a high adhesion to an area extending from the surface of a substrate to the whole area of an inner wall of a through hole having a high aspect ratio and to provide a method for manufacturing such a via-hole.

**CONSTITUTION:** On the whole surface of a substrate 1 including an inner face of a recessed hole 1a, a sputter layer 8 which has a high adhesion to the inner face of the recessed hole 1a and serves for a feeder layer is formed. With the sputter layer 8 being used as a catalyst, an electroless Ni alloy plating layer 7 which has a high adhesion to the surface of the sputter layer and the inner face of the recessed hole is formed on the surface of the sputter layer and a part of the inner face of the recessed hole where no sputter layer is formed. With the sputter layer 8 and the electroless Ni alloy plating layer 7 being used as feeder layers, an electrolytic Au plating layer 9 is formed. After that, the rear face of the substrate is polished and a rear-face interconnection 11 is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(51) Int. Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/41				
C 2 3 C 18/52				
28/02				
		8826-4M	H 0 1 L 29/44	B
		9171-4M	29/80	V
審査請求 未請求 請求項の数24 O L (全 13 頁) 最終頁に続く				

(21) 出願番号 特願平5-330822

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小崎 克也

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス開発研究所内

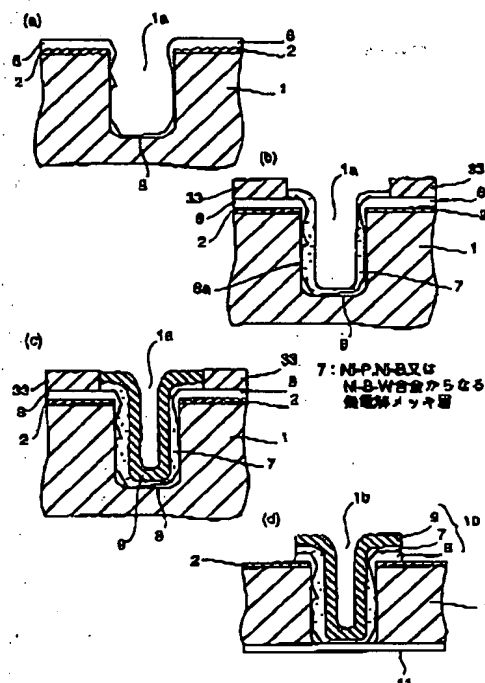
(74) 代理人 弁理士 早瀬 憲一

## (54) 【発明の名称】 バイアホール及びその形成方法

## (57) 【要約】

【目的】 基板表面から高アスペクト比の貫通穴の内壁の全域にかけて、厚みの大きい低抵抗金属層が高い密着性をもって密着したバイアホール及びその形成方法を得る。

【構成】 基板1の凹状穴1aの内面を含む表面全域に、該凹状穴1aの内面に対して高い密着性を有し、かつ、給電層機能を有するスパッタ層8を形成した後、該スパッタ層8を触媒として、上記スパッタ層表面及び上記凹状穴の内面の上記スパッタ層が形成されていない部分に、これらスパッタ層表面及び凹状穴の内面に対して高い密着性が得られる無電解Ni系合金メッキ層7を形成し、上記スパッタ層8と上記無電解Ni系合金メッキ層7を給電層として、電解Auメッキ層9を形成し、この後、基板裏面の研磨及び裏面配線11の形成を行う。



## 【特許請求の範囲】

## 【請求項 1】 基板と、

上記基板に形成された穴と、

上記基板表面及び上記穴の内面に形成されたスパッタ金属層と、

上記スパッタ金属層表面及び上記穴の内面に形成された無電解メッキ層と、

上記無電解メッキ層表面に形成された電解メッキ層とを有してなることを特徴とするバイアホール。

## 【請求項 2】 基板と、

上記基板に形成された穴と、

上記穴の内面に形成された無電解メッキ層と、

上記基板表面及び上記無電解メッキ層表面に形成されたスパッタ金属層と、

上記無電解メッキ層表面及び上記スパッタ金属層表面に形成された電解メッキ層とを有してなることを特徴とするバイアホール。

【請求項 3】 請求項 1 または 2 の何れかに記載のバイアホールにおいて、

上記穴のアスペクト比（穴の深さ／穴の開口幅）が 5／3 以上であることを特徴とするバイアホール。

【請求項 4】 請求項 1 または 2 の何れかに記載のバイアホールにおいて、

上記スパッタ金属層は、

上記穴の内壁面に密着する Ti、Cr または Ni からなる密着層と、

該密着層上に積層された低抵抗金属層とから構成されていることを特徴とするバイアホール。

【請求項 5】 請求項 1 または 2 の何れかに記載のバイアホールにおいて、

上記無電解メッキ層が Ni 系合金メッキ層であることを特徴とするバイアホール。

【請求項 6】 請求項 1 または 2 に記載のバイアホールにおいて、

上記電解メッキ層が電解 Au メッキ層であることを特徴とするバイアホール。

【請求項 7】 基板の所定領域に所定深さの穴を形成する工程と、

上記穴の内面にスパッタ金属層を形成する工程と、

上記穴の内面及び上記スパッタ金属層表面に無電解メッキ層を形成する工程と、

上記無電解メッキ層表面に低抵抗金属からなる電解メッキ層を形成する工程とを含むことを特徴とするバイアホールの形成方法。

【請求項 8】 基板の所定領域に所定深さの穴を形成する工程と、

上記基板表面及び上記穴の内面に対してスパッタ金属層を形成する工程と、

上記穴の内面の上記スパッタ金属層が形成されていない領域、及び上記スパッタ金属層の配線となるべき部分の

表面に、上記スパッタ金属層を触媒として、無電解メッキ層を選択的に形成する工程と、

上記選択的に形成された無電解メッキ層表面に、上記スパッタ金属層及び上記無電解メッキ層を給電層として、低抵抗金属からなる電解メッキ層を形成する工程とを含むことを特徴とするバイアホールの形成方法。

【請求項 9】 請求項 8 に記載のバイアホールの形成方法において、

上記穴のアスペクト比（穴の深さ／穴の開口幅）が 5／3 以上であることを特徴とするバイアホールの形成方法。

【請求項 10】 請求項 8 に記載のバイアホールの形成方法において、

上記スパッタ金属層の形成工程は、

上記穴の内面に、該内面に対して高い密着性が得られる金属からなる第 1 スパッタ金属層を形成する工程と、

上記第 1 スパッタ金属層上に低抵抗金属からなる第 2 スパッタ金属層を形成する工程とからなることを特徴とするバイアホールの形成方法。

【請求項 11】 請求項 10 に記載のバイアホールの形成方法において、

上記第 1 スパッタ金属層が Ti、Cr または Ni からなり、上記第 2 スパッタ金属層が Au からなることを特徴とするバイアホールの形成方法。

【請求項 12】 請求項 8 に記載のバイアホールの形成方法において、

上記無電解メッキ層が Ni 系合金メッキ層であることを特徴とするバイアホールの形成方法。

【請求項 13】 請求項 8 に記載のバイアホールの形成方法において、

上記電解メッキ層が電解 Au メッキ層であることを特徴とするバイアホールの形成方法。

【請求項 14】 請求項 12 に記載のバイアホールの形成方法において、

上記 Ni 系合金メッキ層の表面層を置換型無電解 Au メッキにより置換することを特徴とするバイアホールの形成方法。

【請求項 15】 基板の所定領域に所定深さの穴を形成する工程と、

上記穴の内面に無電解メッキ層を選択的に形成する工程と、

上記基板表面及び上記無電解メッキ層表面に、スパッタ金属層を形成する工程と、

上記スパッタ金属層表面及び上記無電解メッキ層表面に、上記スパッタ金属層及び無電解メッキ層を給電層として、低抵抗金属からなる電解メッキ層を形成する工程とを含むことを特徴とするバイアホールの形成方法。

【請求項 16】 基板表面に絶縁膜を形成した後、上記絶縁膜と上記基板に選択的に異方性エッチングを施して、上記絶縁膜の所定部分に開口を形成し、かつ、上記

基板の該開口下に位置する領域に所定深さの穴を形成する工程と、

上記穴の内面に選択的に等方性エッチングを施して、該穴の横幅を拡げる工程と、

上記開口が形成された絶縁膜をマスクにして、上記穴の内面に、無電解メッキ層を選択的に形成する工程と、

上記絶縁膜の上記無電解メッキ層が接触している部分を、選択的に除去する工程と、

上記絶縁膜表面及び上記無電解メッキ層表面に、スパッタ金属層を形成する工程と、

上記スパッタ金属層及び上記無電解メッキ層を給電層として、上記無電解メッキ層表面及び上記スパッタ層の配線となるべき部分の表面に、低抵抗金属からなる電解メッキ層を形成する工程とを含むことを特徴とするバイアホールの形成方法。

【請求項 17】 請求項 15 または 16 に記載のバイアホールの形成方法において、

上記穴のアスペクト比（穴の深さ／穴の開口幅）が 5／3 以上であることを特徴とするバイアホールの形成方法。

【請求項 18】 請求項 15 または 16 に記載のバイアホールの形成方法において、

上記無電解メッキ層が Ni 系合金メッキ層であることを特徴とするバイアホールの形成方法。

【請求項 19】 請求項 15 または 16 に記載のバイアホールの形成方法において、

上記無電解メッキ層の形成工程は、上記穴の底面に選択的に蒸着させた Pd 蒸着層を触媒として、Ni 系合金メッキ層を形成するものであることを特徴とするバイアホールの形成方法。

【請求項 20】 請求項 18 または 19 に記載のバイアホールの形成方法において、

上記 Ni 合金メッキ層の表面を置換型無電解 Au メッキにより置換することを特徴とするバイアホールの形成方法。

【請求項 21】 請求項 15 または 16 に記載のバイアホールの形成方法において、

上記スパッタ金属層の形成工程は、

上記絶縁膜表面及び上記無電解メッキ層表面に、これら表面に対して高い密着性が得られる金属からなる第 1 スパッタ金属層を形成する工程と、

上記第 1 スパッタ金属層上に低抵抗金属からなる第 2 スパッタ金属層を形成する工程とからなることを特徴とするバイアホールの形成方法。

【請求項 22】 請求項 15 または 16 に記載のバイアホールの形成方法において、

上記電解メッキ層が電解 Au メッキ層であることを特徴とするバイアホールの形成方法。

【請求項 23】 請求項 21 に記載のバイアホールの形成方法において、

上記第 1 スパッタ金属層が Ti、Cr または Ni からなり、上記第 2 スパッタ金属層が Au からなることを特徴とするバイアホールの形成方法。

【請求項 24】 請求項 7、8、15、16 の何れかに記載のバイアホールの形成方法において、

上記記載の工程を行った後、

上記穴が上記基板を貫通するように、上記基板の裏面を研磨する工程と、

上記研磨によってその厚みが減少した上記基板の裏面

に、上記電解メッキ層と導通する低抵抗金属層を形成する工程とを行うことを特徴とするバイアホールの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はバイアホール及びその形成方法に関し、特に高アスペクト比の穴を有するバイアホール及びその形成方法に関するものである。

【0002】

【従来の技術】 従来より、半導体装置において、半導体または絶縁体からなる基板の表面から、該基板に形成された貫通穴を介して該基板の裏面に導通する配線構造、即ち、バイアホールを形成することが一般に行われている。図 9 は従来の半導体装置におけるバイアホールの形成工程を示す工程別断面図である。図において、1 は GaAs 基板、1a は凹状穴、1b は貫通穴、2 は SiN、SiON 等からなる絶縁膜、33 はフォトレジストパターン、8 は例えば Ti、Au をこの順にスパッタリングして得られたスパッタリングデポジション層（以下、スパッタ層と称す。）、8a は凹状の穴 1a の内壁面のスパッタ層 8 が形成されなかった領域、9 は電解 Au メッキ層、10 は配線パターン、11 は基板 1 裏面に蒸着、メッキ等により形成された低抵抗金属層である。

【0003】 以下、この図に基づいてバイアホールの形成工程を説明する。まず、GaAs 基板 1 表面に例えば SiN や SiON 等からなる絶縁膜 2 を形成し、次いで、図示しないフォトレジストパターンを形成した後、このフォトレジストパターンをマスクにして、絶縁膜 2 と GaAs 基板 1 に、例えば反応性イオンエッチング（以下、RIE と称す。）を施して、所定の幅及び深さを有する凹状穴 1a を形成し、この後、上記フォトレジストパターンを除去すると図 9 (a) に示す状態となる。

【0004】 次に、凹状穴 1a の内面を含む GaAs 基板 1 表面の全面に対して、スパッタリングにより例えば Ti と Au をこの順にスパッタリングしたスパッタ層 8 を形成し（図 9 (b)）、続いて、上記スパッタ層 8 の配線とすべき部分以外の部分上にフォトレジストパターン 33 を形成した後、該フォトレジストパターン 33 をマスクにして、上記スパッタ層 8 の低抵抗金属層を給電層として、上記スパッタ層 8 の露出部表面に選択的に電解 Au メッキ層 9 を形成すると、図 9 (c) に示す状態とな

る。

【0005】次に、上記フォトリソパターン33を除去した後、イオンミリングまたはエッチングにより、スパッタ層8の上記フォトリソパターン33の下に配設されていた部分を選択的に除去すると、図9(d)に示すように、配線パターン10がGaAs基板1表面上から凹状穴1aの内壁面に沿って形成される。

【0006】次に、GaAs基板1を裏面側から研磨して貫通穴1bを形成し、該貫通穴1bから上記配線パターン10の底部を露出させた後、最後に、この露出した上記配線パターン10の表面とGaAs基板1の裏面に蒸着またはメッキによりAu等からなる低抵抗金属層11を形成する。このようなバイアホールは、より具体的には、高周波半導体ICチップのマイクロストリップ線路の接地用配線構造やFETのソース接地用配線構造として使用される。

【0007】図10、11は、上記バイアホールを、FETのソース接地用配線構造として用いた高周波高出力MMICチップを示す図であり、図10(a)はその構造を概略的に示した平面図、図10(b)は図10(a)に図示の符号Aで示す部分を拡大して示す平面図、図11(a)は図10(a)のXIa-XIa'線における断面構造を概略的に示した図、図11(b)は図10(b)のXIb-XIb'線における断面構造を概略的に示した図である。

【0008】図において、200は電界効果トランジスタ(以下、FETと称す。)等の能動素子を複数搭載したGaAs MMICチップ(以下、単に半導体チップと称す。)で、そのGaAs基板1上には、複数のFETが一列に並べられて形成されており、複数のFETの各ゲート電極203aは共通ゲート電極203で一つに繋がっており、ゲートボンディングパッド203に接続されている。また、201aは複数のFETの各ドレイン電極に接続されたドレイン配線で、共通ドレイン配線201で一つに繋がっており、ドレインボンディングパッド221に接続されている。また、10aは複数のFETの各ソース電極に接続されたソース接地用配線で、これが、上記図11で示した配線パターン10に相当し、貫通穴1bを介して基板1裏面の接地された低抵抗金属層11aに接続されている。

【0009】

【発明が解決しようとする課題】ところで、従来のバイアホールの形成工程は、上記のように、基板に形成された凹状穴1aの内面を含む基板1の全面に対してスパッタ層8を形成した後、このスパッタ層8を給電層として、電解メッキにより、該スパッタ層8の配線となるべき部分の表面にAuメッキ層9を選択的に形成し、この後、基板1裏面を研磨して、上記凹状穴1aを貫通させる(貫通穴1bを形成し)、基板1裏面に低抵抗金属層11を形成することによって、形成されている。

【0010】しかしながら、このような従来の方法で

は、凹状穴1aが高アスペクト比を有する場合(例えば、開口幅60μm以下、深さ100μm以上)、図9(b)に示すように、電解メッキを行う際の給電層となるスパッタ層8を凹状穴1aの内壁面全域に均一な厚みに形成することができないため、電解Auメッキ層9を凹状穴1aの内壁面に沿って均一な厚みに形成することができないという問題点があった。特に、スパッタ層8が凹状穴1a内で完全に途切れてしまった場合には、凹状穴1a内の上部と下部で電解Auメッキ層9が途切れてしまい、基板を研磨して上記凹状穴1aを貫通させても(貫通穴1bを形成しても)、基板1の表面側の配線(電解Auメッキ層9)と、裏面側の配線(低抵抗金属層11)とを貫通穴1bを介して導通できなくなってしまうという問題点があった。

【0011】また、従来技術として、無電解メッキにより基板に形成された凹状穴に対してその内壁の全域にAuメッキ層を形成した後、基板の研磨、裏面配線の形成を行う方法があるが、Au層を無電解メッキで形成する場合、メッキの成長速度が著しく遅いため、厚みの小さいメッキ層しか得ることができず、また、Auメッキ層は穴の内壁面との密着性が低いため、強度的に安定で、しかも、低抵抗なバイアホールを形成することができないという問題点があった。

【0012】この発明は上記のような問題点を解消するためになされたものであり、半導体または絶縁体からなる基板表面から高アスペクト比の貫通穴の内壁の全域にかけて、大きな厚みの低抵抗金属層が高い密着性をもって密着したバイアホール及びその形成方法を得ることを目的とするものである。

【0013】

【課題を解決するための手段】この発明にかかるバイアホール及びその形成方法は、基板の凹状穴の内面に、スパッタリングと無電解メッキを用いて、給電層機能を有する下地金属層を形成した後、該下地金属層を給電層として、低抵抗金属からなる電解メッキ層を形成し、この後、基板裏面の研磨及び裏面配線の形成を行うようにしたものである。

【0014】更に、この発明にかかるバイアホール及びその形成方法は、その所定領域に凹状穴が形成された基板の該凹状穴の内面を含む表面全域に、該凹状穴の内面に対して高い密着性を有し、かつ、給電層機能を有するスパッタ層を形成した後、該スパッタ層を触媒とする無電解メッキにより、上記スパッタ層表面及び上記凹状穴の内面の上記スパッタ層が形成されていない部分に、これらスパッタ層表面及び凹状穴の内面に対して高い密着性が得られる金属からなる無電解メッキ層を形成し、上記スパッタ層と上記無電解メッキ層を給電層として、低抵抗金属からなる電解メッキ層を形成した後、基板裏面の研磨及び裏面配線の形成を行うようにしたものである。

【0015】更に、この発明にかかるバイアホール及びその形成方法は、基板に形成された所定深さの凹状穴の内面に、該凹状穴の内面に対して高い密着性が得られる金属からなる無電解メッキ層を選択的に形成し、該無電解メッキ層表面及び上記基板表面の全域に、これら表面に対して高い密着性を有し、かつ、給電機能を有するスパッタ層を形成し、上記スパッタ層と上記無電解メッキ層を給電層として、低抵抗金属からなる電解メッキ層を形成した後、基板裏面の研磨及び裏面配線の形成を行うようにしたものである。

【0016】更に、この発明にかかるバイアホール及びその形成方法は、上記凹状穴の内面に選択的に形成される無電解メッキ層を、その端部が、上記凹状穴から上記基板表面より高い位置に突出しないよう形成し、この後、上記スパッタ層と電解メッキ層を形成するようにしたものである。

【0017】

【作用】この発明においては、上記構成としたことにより、上記スパッタリングと無電解メッキを用いて形成される下地金属層によって、基板の凹状穴の内面全域が被覆されることとなり、低抵抗金属からなる大きな厚みの電解メッキを、該凹状穴の内面全域に沿って途切れを生ずることなく形成することができる。

【0018】更に、この発明においては、上記構成としたことにより、凹状穴の内面全域がスパッタ層と無電解メッキ層とにより被覆されることとなり、低抵抗金属からなる大きな厚みの電解メッキ層を凹状穴の内面全域に沿って途切れを生ずることなく形成することができ、しかも、上記スパッタ層と無電解メッキ層が、上記凹状穴の内面に対して高い密着性を有するので、上記低抵抗金属からなる電解メッキ層は、これらスパッタ層と無電解メッキ層を媒介して上記凹状穴の内面に対して高い密着性をもって形成される。

【0019】更に、この発明においては、上記構成としたことにより、無電解メッキ層が凹状穴の内部から上記基板表面より高い位置に突出しないので、スパッタ層と電解メッキ層が、基板表面の凹状穴の開口周辺部で盛り上がり形成されることがなくなり、上記スパッタ層及び電解メッキ層を基板表面に平坦に形成することができる。

【0020】

【実施例】

実施例1. 図1はこの発明の実施例1による半導体装置におけるバイアホールの形成工程を示す工程別断面図であり、図において、図9と同一符号は同一または相当する部分を示し、7はNi-P、Ni-BまたはNi-B-W合金からなる無電解メッキ層（以下、無電解Ni系合金メッキ層と称す。）である。

【0021】以下、この図に基づいてバイアホールの形成工程を説明する。まず、GaAs基板1表面に例えば

SiNやSiON等からなる絶縁膜2を形成し、次いで、図示しないフォトリソパターンを形成した後、このフォトリソパターンをマスクにして、絶縁膜2とGaAs基板1に、例えばRIEを施して、深さが100～120μm、開口幅が50～60μmの凹状穴1aを形成し、この後、上記フォトリソパターンを除去する。

【0022】次に、凹状穴1aの内面を含むGaAs基板1表面の全面に対して、例えば、スパッタリングにより、厚みが500オングストローム以下のTi、CrまたはNiからなる密着層と、厚みが2000オングストローム程度のAuからなる低抵抗金属層をこの順に積層したスパッタ層8を形成し（図1(a)）、続いて、上記スパッタ層8の配線とすべき部分以外の部分上にフォトリソパターン33を形成した後、該フォトリソパターン33をマスクにして、上記スパッタ層8を触媒として、上記スパッタ層8の露出部の表面及び上記凹状穴1aの内面の上記スパッタ層8が形成されていない部分に、選択的に厚み500オングストローム程度の無電解Ni系合金メッキ層7を形成する（図1(b)）。ここで、無電解Ni系合金メッキ層7は、上記スパッタ層8の表面及び凹状穴1aの内面に対して高い密着性でもって密着する。

【0023】次に、上記スパッタ層8のAuからなる低抵抗金属層及び無電解Ni系合金メッキ層7を給電層として、該無電解Ni系合金メッキ層7表面に厚さ3μm以上の電解Auメッキ層9を形成する（図1(c)）。次に、上記フォトリソパターン33を除去した後、イオンミリングまたはエッチングにより、上記スパッタ層8の上記フォトリソパターン33の下に配設されていた部分を選択的に除去すると、GaAs基板1表面上から凹状穴1aの内壁面に沿って配線パターン10が形成される。そして、この後、GaAs基板1を裏面側から研磨し、凹状穴1aを貫通させて貫通穴1bを形成して、上記配線パターン10の底部を該貫通穴1bから露出させた後、この露出した上記配線パターン10の表面とGaAs基板1の裏面に蒸着またはメッキによりAu層11を形成すると、貫通穴1bを介して、配線パターン10と裏面配線としてのAu層11が導通したバイアホールが得られる（図1(d)）。ここで、GaAs基板1裏面の研磨は、スパッタ層8のTi、CrまたはNiからなる密着層が高抵抗であるので、該密着層が研磨により除去されて、その上層のAuからなる低抵抗金属層が基板1裏面から露出するまで行うのが好ましい。

【0024】このように本実施例では、GaAs基板1表面から凹状穴1aの内面にかけて給電機能を有するスパッタ層8を形成した後、このスパッタ層8表面と凹状穴1aの内面のスパッタ層8で被覆されなかった部分に、無電解Ni系合金メッキ層7を形成し、この後、これらスパッタ層8と無電解Ni系合金メッキ層7を給電

層として電解Auメッキ層9を形成するので、凹状穴1aの内面全域に厚み3 $\mu$ m以上の電解Auメッキ層9を、途切れが生ずることなく、形成することができる。また、上記スパッタ層8は、そのTi、CrまたはNiからなる密着層によって凹状穴1aの内面に対して高い密着性をもって密着し、無電解Ni系合金メッキ層7はスパッタ層8及びバイアホール1aの内面に対して高い密着性をもって密着しているので、電解Auメッキ層9はこれらスパッタ層8と無電解Ni系合金メッキ層7を介して、バイアホール1aの内面に対して高い密着性をもって形成されることになる。従って、電解Auメッキ層9の形成後、GaAs基板1裏面を研磨して凹状穴1aを貫通させ、該裏面にAu層11を形成して得られるバイアホールは、基板1の表面側の配線（電解Auメッキ層9を含む配線パターン10）と裏面配線（Au層11）とが貫通穴1bを介して確実に導通し、しかも、強度的にも安定なものとなる。

【0025】実施例2. 図2, 3はこの発明の実施例2による半導体装置におけるバイアホールの形成工程を示す工程別断面図であり、図において、図1, 9と同一符号は同一または相当する部分を示し、66は無電解メッキの触媒となるPd核である。

【0026】以下、この図に基づいてバイアホールの形成工程を説明する。まず、GaAs基板1表面に、例えばSiNやSiON等からなる絶縁膜2を形成し、次いで、フォトリソパターン3を形成した後、このフォトリソパターン3をマスクにして、絶縁膜2とGaAs基板1に、例えばRIEを施して、例えば、深さが100~120 $\mu$ m、開口幅が50~60 $\mu$ mの凹状穴1aを形成し、この後、フォトリソパターン3をマスクにして凹状穴1aの内面をPd活性化液（例えばPdCl<sub>2</sub>とHClの混合液）に浸漬し、該凹状穴1aの内面にPd核66を析出する（図2(a)）。

【0027】次に、上記フォトリソパターン3を除去した後（図2(b)）、上記絶縁膜2をマスクに、上記Pd核66を触媒として、凹状穴1aの内面に厚み5000オングストローム程度のNi-P、Ni-BまたはNi-B-W合金からなる無電解Ni系合金メッキ層7を選択的に形成する（図2(c)）。ここで、無電解Ni系合金メッキ層7は凹状穴1aの内面に対して高い密着性をもって密着する。

【0028】次に、上記絶縁膜2の表面及び上記凹状穴1a内に形成された上記無電解Ni系合金メッキ層7の表面に、例えば、スパッタリングにより、厚みが500オングストローム以下のTi、CrまたはNiからなる密着層と、厚みが2000オングストローム程度のAuからなる低抵抗金属層をこの順に積層したスパッタ層8を形成する（図3(a)）。

【0029】次に、上記スパッタ層8の配線とすべき部分以外の部分上にフォトリソパターン33を形成し

た後、該フォトリソパターン33をマスクにして、スパッタ層8及び無電解Ni系合金メッキ層7表面に、これらを給電層として、厚さ3 $\mu$ m以上の電解Auメッキ層9を形成する（図3(b)）。

【0030】次に、上記フォトリソパターン33を除去した後、イオンミリングまたはエッチングにより、上記スパッタ層8のフォトリソパターン33の下に配設されていた部分を選択的に除去すると、GaAs基板1表面上からバイアホール1aの内壁面に沿って配線パターン10が形成される。そして、この後、GaAs基板1を裏面側から研磨し、凹状穴1aを貫通させて貫通穴1bを形成して、上記配線パターン10の底部を該貫通穴1bから露出させた後、この露出した上記配線パターン10の表面とGaAs基板1の裏面に蒸着またはメッキによりAu層11を形成すると、貫通穴1bを介して、配線パターン10と裏面配線としてのAu層11が導通したバイアホールが得られる（図3(c)）。

【0031】このように本実施例では、GaAs基板1の凹状穴1aの内面に選択的に無電解Ni系合金メッキ層7を形成した後、GaAs基板1表面から無電解Ni系合金メッキ層7の表面にかけて給電機能を有するスパッタ層8を形成するようにしたので、これらスパッタ層8及び無電解Ni系合金メッキ層7を給電層として電解Auメッキ層9を形成することにより、バイアホール1aの内面全域に厚み3 $\mu$ m以上の電解Auメッキ層9を、途切れが生ずることなく、形成することができる。また、Ni-P、Ni-BまたはNi-B-W合金からなる無電解Ni系合金メッキ層7は、バイアホール1aの内面に対して高い密着性をもって密着し、上記スパッタ層8はそのTi、CrまたはNiからなる密着層により、無電解Ni系合金メッキ層7及び絶縁膜2の表面に対して高い密着性をもって密着しているので、電解Auメッキ層9は、これらスパッタ層8と無電解Ni系合金メッキ層7を介して、バイアホール1aの内面に対して高い密着性をもって形成されることになる。従って、電解Auメッキ層9の形成後、GaAs基板1裏面の研磨して、該裏面にAu層11を形成すると、半導体基板の表面側の配線（電解Auメッキ層9を含む配線パターン10）と裏面配線（Au層11）とが確実に導通し、しかも、強度的にも安定な配線構造が得られる。

【0032】実施例3. 図4, 5はこの発明の実施例3による半導体装置におけるバイアホールの形成工程を示す工程別断面図であり、図において、図1, 9と同一符号は同一または相当する部分を示し、4はTi、CrまたはNiからなる蒸着層、5はAuからなる蒸着層、6はPdからなる蒸着層である。

【0033】以下、この図に基づいてバイアホールの形成工程を説明する。まず、GaAs基板1表面に、例えばSiNやSiON等からなる絶縁膜2を形成し、次いで、フォトリソパターン3を形成した後、このフォ

「トレジストパターン3をマスクにして、絶縁膜2とGaAs基板1に、例えばRIEを施して、例えば、深さが100~120 $\mu$ m、開口幅が50~60 $\mu$ mの凹状穴1aを形成する(図4(a))。

【0034】次に、フォトレジストパターン3をマスクにして、凹状穴1aの底面に、厚み500オングストローム以下のTi、CrまたはNiからなる蒸着層4、500オングストローム以下のAuからなる蒸着層5、及び厚み500オングストローム以下のPdからなる蒸着層6をこの順に形成する(図4(b))。ここで、Ti、CrまたはNiからなる蒸着層4は、バイアホール1aの底面に対する密着層として機能し、Pdからなる蒸着層6は次の無電解メッキ工程における触媒となる。また、Auからなる蒸着層5は、Ti、CrまたはNiからなる蒸着層4、とPdからなる蒸着層6がその膨張係数の違いによって剥がれてしまうことを防止するために、緩衝層としてこれらの間に挿入されたものである。

【0035】次に、上記フォトレジストパターン3を除去した後(図4(c))、上記絶縁膜2をマスクに、上記Pdからなる蒸着層6を触媒として、凹状穴1aの内面に厚み5000オングストローム程度の無電解Ni系合金メッキ層7を形成する(図4(d))。

【0036】次に、上記絶縁膜2の表面及び上記凹状穴1a内の上記無電解Ni系合金メッキ層7の表面に、例えば、スパッタリングにより、厚みが500オングストローム以下のTi、CrまたはNiからなる密着層と、厚みが2000オングストローム程度のAuからなる低抵抗金属層をこの順に積層したスパッタ層8を形成する(図5(a))。

【0037】次に、上記スパッタ層8の配線とすべき部分以外の部分上にフォトレジストパターン33を形成した後、該フォトレジストパターン33をマスクにして、スパッタ層8及び無電解Ni系合金メッキ層7表面に、これらを給電層として、厚さ3 $\mu$ m以上の電解Auメッキ層9を形成する(図5(b))。

【0038】次に、上記フォトレジストパターン33を除去した後、イオンミリングまたはエッチングにより、上記スパッタ層8の上記フォトレジストパターン33の下に配設されていた部分を選択的に除去すると、GaAs基板1表面上からバイアホール1aの内壁面に沿って配線パターン10が形成される。そして、この後、GaAs基板1を裏面側から研磨し、凹状穴1aを貫通させて貫通穴1bを形成して、上記配線パターン10の底部を該貫通穴1bから露出させた後、この露出した上記配線パターン10の表面とGaAs基板1の裏面に蒸着またはメッキによりAu層11を形成すると、貫通穴1bを介して、配線パターン10と裏面配線としてのAu層11が導通したバイアホールが得られる(図5(c))。ここで、GaAs基板1裏面の研磨は、Ti、CrまたはNiからなる蒸着層4が高抵抗であるので、該蒸着層

4が研磨により除去されて、その上層のAuからなる蒸着層5が基板1裏面から露出するまで行うのが好ましい。

【0039】このような本実施例では、上記実施例2と同様の効果が得られるとともに、無電解Ni系合金メッキ層7を形成する際の触媒を、Pdの蒸着層6としたので、上記実施例2のように、Pd活性化液に半導体基板(凹状穴の内面)を浸漬してPd核を析出させるというような面倒な作業を行う必要がなくなる。

【0040】上記実施例2、3のバイアホールの形成工程では、無電解Ni系合金メッキ層7の形成工程において、凹状穴1aの最上部のGaAs面に成長するメッキ層が、図6(a)に示すように、凹状穴1aの空間内から半導体基板上の空間に大きく突出した形状に成長することがある。このような場合には、図8(b)に示すように、電解Auメッキ層9の、GaAs基板1表面の凹状穴1a周辺部に形成される部分が凸凹になり、この部分はパッドしてワイヤボンディングを行う場合、ワイヤを安定に接合することができなくなる。以下に記す実施例4はこのような上記実施例2、3で起こる不具合を解消するためのものである。

【0041】実施例4、図7、8はこの発明の実施例4による半導体装置におけるバイアホールの形成工程を示す工程別断面図であり、図において、図1、9と同一符号は同一または相当する部分を示し、2aは絶縁膜2の端部である。

【0042】以下、この図に基づいてバイアホールの形成工程を説明する。まず、GaAs基板1表面に、例えばSiNやSiON等からなる絶縁膜2を形成し、次いで、フォトレジストパターン3を形成した後、このフォトレジストパターン3をマスクにして、絶縁膜2とGaAs基板1に、例えばRIEを施して、GaAs基板1に所定幅及び所定深さを有する穴を形成した後、続いて、該穴の内面に等方性化学エッチングを施して、該穴の側壁面をサイドエッチングし、例えば、深さが100~120 $\mu$ m、開口幅が50~60 $\mu$ mのバイアホール1aを形成する(図7(a))。ここで、絶縁膜2の端部22はバイアホール1a内の空間上にひさしとして突出する。

【0043】次に、上記実施例3と同様に、フォトレジストパターン3をマスクにして、バイアホール1aの底面に、厚み500オングストローム以下のTi、CrまたはNiからなる蒸着層4、500オングストローム以下のAuからなる蒸着層5、及び厚み500オングストローム以下のPdからなる蒸着層6をこの順に形成する(図7(b))。

【0044】次に、上記フォトレジストパターン3を除去した後(図7(c))、上記絶縁膜2をマスクに、上記Pdからなる蒸着層6を触媒として、バイアホール1aの内面に厚み5000オングストローム程度の無電解Ni



ニ系合金メッキ層7を形成する(図8(a))。ここで、絶縁膜2は上述したように、その端部22がパイアホール1a内の空間上にひさしとして突出しているの、上記無電解Ni系合金メッキ層7の端部がパイアホール1aの内部からGaAs基板1表面の高さを越える高い位置に形成されるが防止される。

【0045】次に、上記絶縁膜2の端部22をイオンミリングまたは選択エッチングにより除去し(図8(b))

、この後、上記実施例3の図5(a)～図5(c)に示す工程と同様にして、スパッタ層8を形成し、電解Auメッキ層9を選択的に形成した後、GaAs基板1の裏面を研磨し、GaAs基板1の裏面にAu層11を形成すると、パイアホール1aを介して、配線パターン10と裏面配線としてのAu層11が導通した配線構造が得られる(図8(c))。

【0046】このような本実施例では、上記実施例3と同様の効果が得られるとともに、上述したように、上記無電解Ni系合金メッキ層7の端部がパイアホール1aの内部からGaAs基板1表面の高さを越える高い位置に形成されることがないので、電解Auメッキ層9のGaAs基板1表面に形成される部分を確実に平坦状に形成することができる。

【0047】尚、上記何れの実施例においても、無電解Ni系合金メッキ層7の形成後、該無電解Ni系合金メッキ層7の表面を置換型無電解Auメッキにより置換するようにしてもよく、この場合は、無電解Ni系合金メッキ層7と電解Auメッキ層9との密着性をより良好なものとすることができる。

【0048】また、上記実施例2～4では、無電解Ni系合金メッキ層7を形成する際、マスクとして絶縁膜2のみ用いているが、基板上の図示した領域以外の他の領域に、他の金属パターンが露出している時は、無電解Ni系合金メッキ層7の形成前に、この金属パターンを保護するフォトリソパターンを形成するようにしてもよい。

【0049】また、上記何れの実施例においても、無電解メッキ層として無電解Ni系合金メッキ層を用いたが、本発明においては、Ni系合金以外のその被形成面に対して高い密着性が得られる他の金属からなる無電解メッキ層を使用できることは言うまでもない。また、上記実施例では、低抵抗金属としてAuを使用した、本発明においては、低抵抗金属としてAg、Cu等の他の低抵抗金属を使用できることは言うまでもない。

【0050】また、上記何れの実施例も、GaAs基板を用いた半導体装置のパイアホールについて説明したが、本発明のパイアホール及びその形成方法が、GaAsとは異なる他の半導体からなる基板を用いた半導体装置のパイアホール、及びサファイア等の絶縁体からなる基板を用いた半導体装置のパイアホール、絶縁体からなる基板を用いた半導体装置とは異なる範疇の他の装置の

パイアホールに適用できることは言うまでもない。

【0051】

【発明の効果】この発明によれば、基板の凹状穴の内面全域に、スパッタリングと無電解メッキを用いて給電層機能を有する下地金属層を形成し、該下地金属層を給電層として低抵抗金属からなる電解メッキ層を形成するので、凹状穴の内面全域に途切が生ずることなく形成された下地金属層上に、低抵抗金属からなる大きな厚みの電解メッキ層が形成されることとなり、その結果、上記電解メッキの形成後に基板裏面の研磨と裏面配線形成して得られるパイアホールを、基板の表面側配線と裏面側配線とが貫通穴を介して確実に導通したものとすることができる効果がある。

【0052】更に、この発明によれば、基板の凹状穴の内面を含む表面全域に、該凹状穴の内面に対して高い密着性を有し、かつ、給電層機能を有するスパッタ層を形成し、該スパッタ層を触媒とする無電解メッキにより、上記スパッタ層表面及び上記凹状穴の内面の上記スパッタ層が形成されていない部分に、これらスパッタ層表面及び凹状穴の内面に対して高い密着性が得られる金属からなる無電解メッキ層を形成し、上記スパッタ層と上記無電解メッキ層を給電層として、低抵抗金属からなる電解メッキ層を形成するので、該低抵抗金属からなる電解メッキ層は上記スパッタ層及び無電解メッキ層を媒介として該内面に対して高い密着性をもって形成されることとなり、その結果、上記電解メッキの形成後に基板裏面の研磨と裏面配線形成して得られるパイアホールを、基板の表面側配線と裏面側配線とが貫通穴を介して確実に導通し、しかも、強度的にも安定な信頼性に優れたものとすることができる効果がある。

【0053】更に、この発明によれば、基板の凹状穴の内面に対して高い密着性が得られる金属からなる無電解メッキ層を選択的に形成し、該無電解メッキ層表面及び上記基板表面の全域に、これら表面に対して高い密着性を有し、かつ、給電機能を有するスパッタ層を形成し、上記スパッタ層と上記無電解メッキ層を給電層として低抵抗金属からなる電解メッキ層を形成するので、該低抵抗金属からなる電解メッキ層は上記スパッタ層及び無電解メッキ層を媒介として該内面に対して高い密着性をもって形成されることとなり、その結果、上記電解メッキの形成後に基板裏面の研磨と裏面配線形成して得られるパイアホールを、基板の表面側配線と裏面側配線とが貫通穴を介して確実に導通し、しかも、強度的にも安定な信頼性に優れたものとすることができる効果がある。

【0054】更に、この発明によれば、基板の凹状穴の内面に選択的に形成される無電解メッキ層を、その端部が、上記凹状穴から上記基板表面より高い位置に突出しないよう形成し、この後、スパッタ層及び低抵抗金属からなる電解メッキ層を形成するので、上記スパッタ層及び低抵抗金属からなる電解メッキ層を、基板表面上にお

いて平坦に形成することができ、その結果、上記低抵抗金属からなる電解メッキ層にワイヤボンディングを行う場合、ワイヤを安定に接合できる効果がある。

#### 【図面の簡単な説明】

【図1】この発明の実施例1による半導体装置におけるバイアホール形成工程を示す工程別断面図である。

【図2】この発明の実施例2による半導体装置におけるバイアホール形成工程を示す工程別断面図である。

【図3】この発明の実施例2による半導体装置におけるバイアホール形成工程を示す工程別断面図である。

【図4】この発明の実施例3による半導体装置におけるバイアホール形成工程を示す工程別断面図である。

【図5】この発明の実施例3による半導体装置におけるバイアホール形成工程を示す工程別断面図である。

【図6】この発明の実施例2、3のバイアホールの形成工程で起こる不具合を説明するための図である。

【図7】この発明の実施例4による半導体装置におけるバイアホールの形成工程を示す工程別断面図である。

【図8】この発明の実施例4による半導体装置におけるバイアホールの形成工程を示す工程別断面図である。

【図9】従来の半導体装置におけるバイアホールの形成工程を示す工程別断面図である。

【図10】従来の高周波高出力MMICを説明するための図で、図10(a)はその概略平面図、図10(b)は図

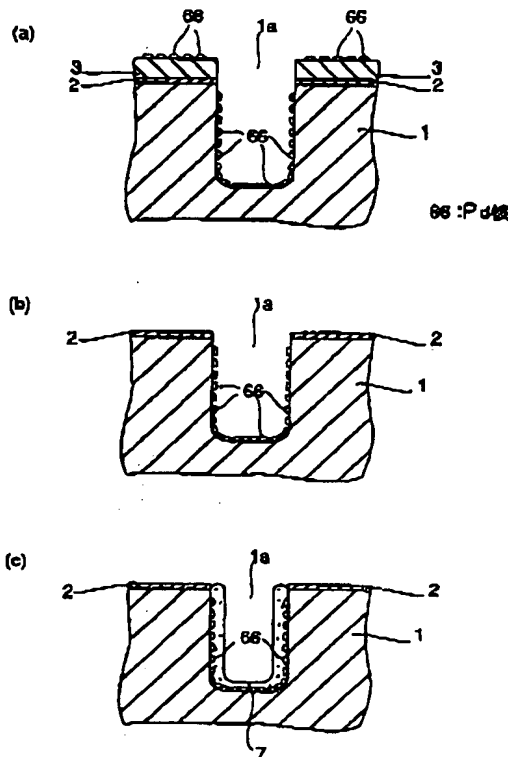
10(a)の符号4で示す部分を拡大して示した平面図である。

【図11】図10(a)のXIa-XIa線における断面図(図11(a))と、図10(b)のXIb-XIb線における断面図(図11(b))である。

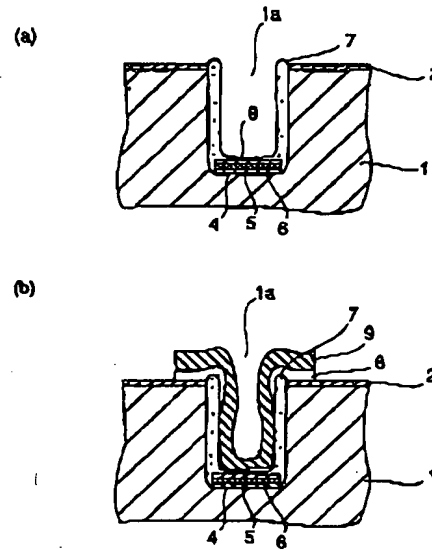
#### 【符号の説明】

- |       |  |
|-------|--|
| 1     | GaAs基板   |
| 1a    | 凹状穴  |
| 1b    | 貫通穴  |
| 2, 2a | SiN, SiON等からなる絶縁膜                              |
| 3, 33 | フォトリソパターン                                      |
| 4     | Ti, CrまたはNiからなる蒸着層                             |
| 5     | Auからなる蒸着層                                      |
| 6     | Pdからなる蒸着層                                      |
| 7     | Ni-P, Ni-BまたはNi-B-W合金からなる無電解メッキ層(無電解Ni系合金メッキ層) |
| 8     | スパッタリングデポジション層(スパッタ層)                          |
| 8a    | 凹状穴の内壁のスパッタ層が形成されていない領域                        |
| 9     | 電解Auメッキ層                                       |
| 22    | 絶縁膜の端部   |
| 66    | Pd核  |

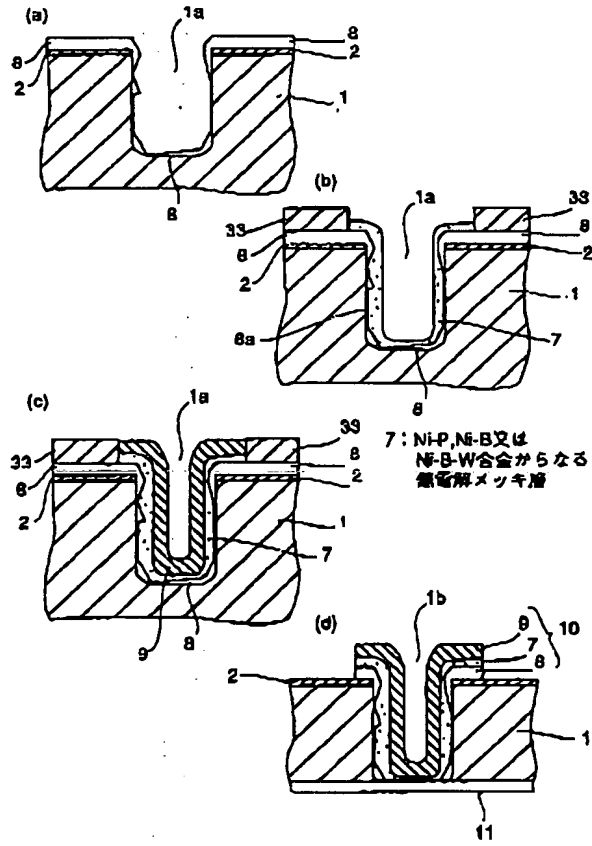
【図2】



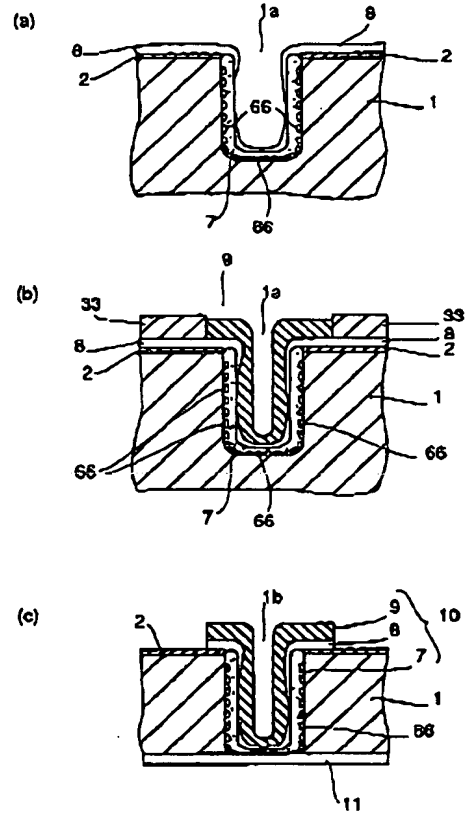
【図6】



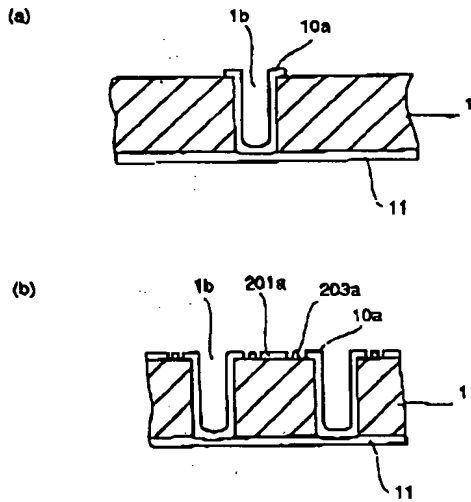
【図1】



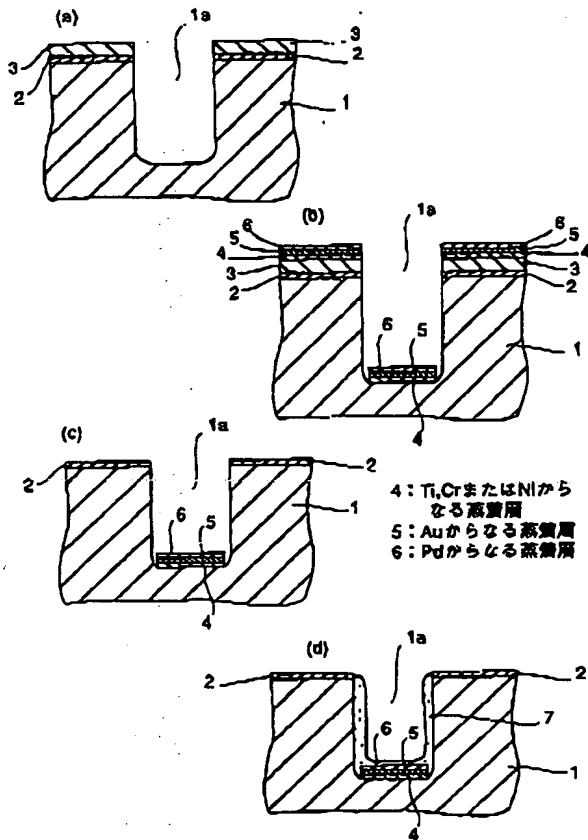
【図3】



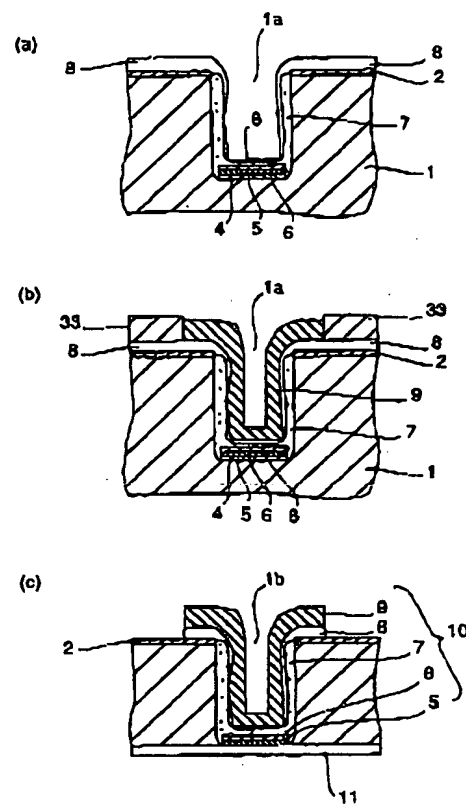
【図11】



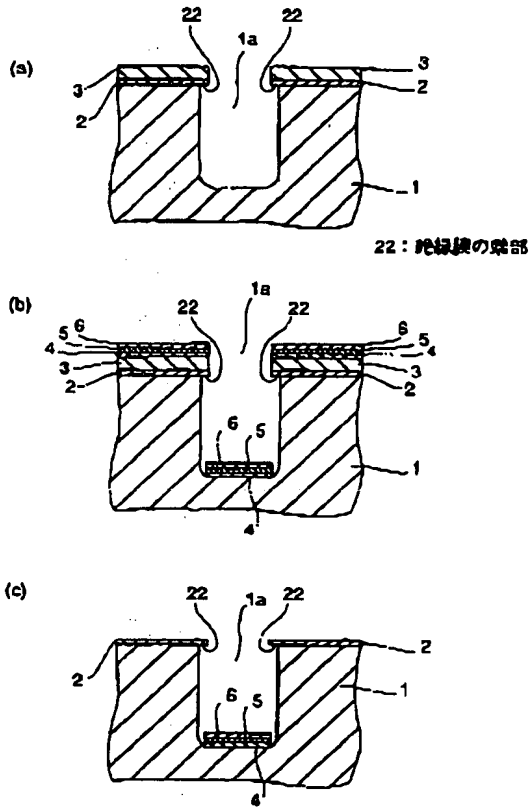
【図4】



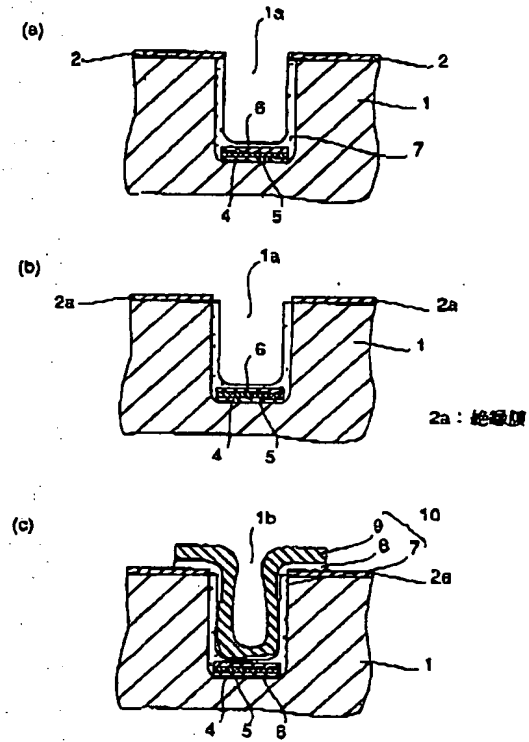
【図5】



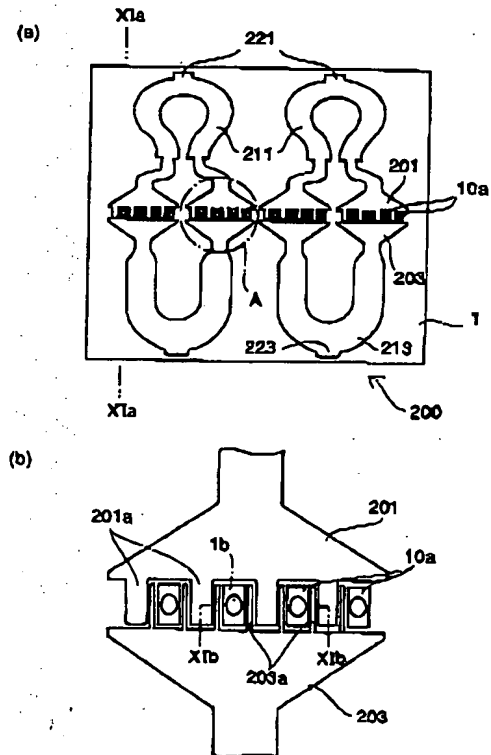
【図 7】



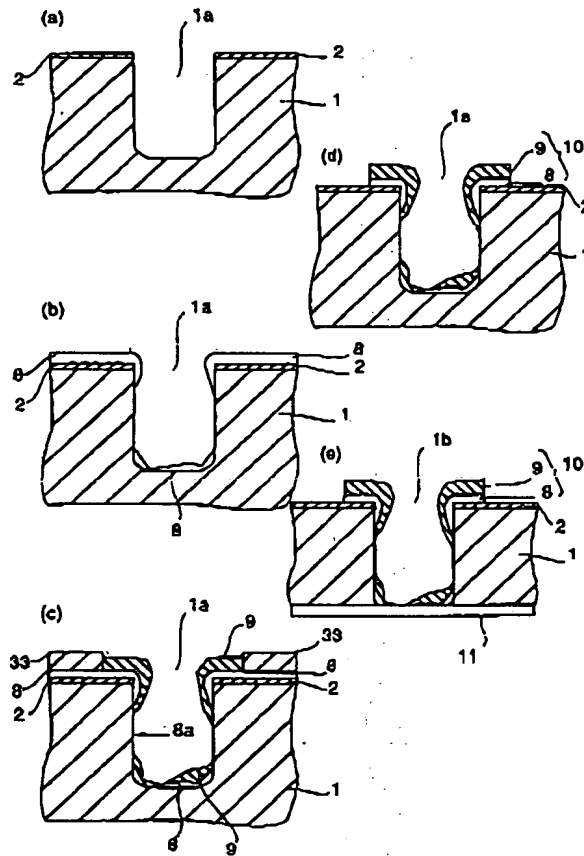
【図 8】



【図 10】



【図 9】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

C 2 5 D 3/48

H 0 1 L 29/80

識別記号 庁内整理番号

F I

技術表示箇所